

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-276106

(43)Date of publication of application : 30.09.1994

(51)Int.Cl.

H03M 13/00

(21)Application number : 05-058562

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.03.1993

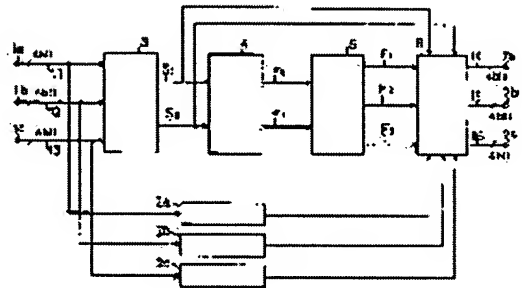
(72)Inventor : MATSUSHIMA TOMOKO

(54) ERROR CORRECTING/DECODING DEVICE

(57)Abstract:

PURPOSE: To obtain a device which quicken a processing with small power consumption and a small circuit scale and can easily be applied to a multiple code by using an erroneous position polynomial calculation circuit by time division multiplexing.

CONSTITUTION: Reception signals 11 to 13 inputted from input terminals 1a to 1c are respectively provided for delay circuits 2a to 2c and a syndrome calculation circuit 3. The outputs S1 and S2 of the circuit 3 are delivered to a erroneous position polynomial calculation circuit 4 and the coefficient of an erroneous position polynomial are calculated with σ_0 and σ_1 . The coefficients σ_0 and σ_1 are provided for an erroneous position detection circuit 5 and flag signals F1 to F3 are provided for an error correcting circuit 6 to correct the errors of the reception signals outputted from circuits 2a to 2c. The reception signals whose errors are corrected are outputted from output terminals 7a to 7c by every three symbols in parallel to restore the three symbols in parallel. Consequently, codes can be decoded at triple processing speed with low power consumption and a small circuit scale.



LEGAL STATUS

[Date of request for examination] 29.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3241851

[Date of registration] 19.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-276106

(43) 公開日 平成 6 年 (1994) 9 月 30 日

(51) Int.Cl.⁵

H 0 3 M 13/00

識別記号

庁内整理番号

8730-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平5-58562

(22) 出願日 平成 5 年 (1993) 3 月 18 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松嶋 智子

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内

(74) 代理人 弁理士 則近 憲佑

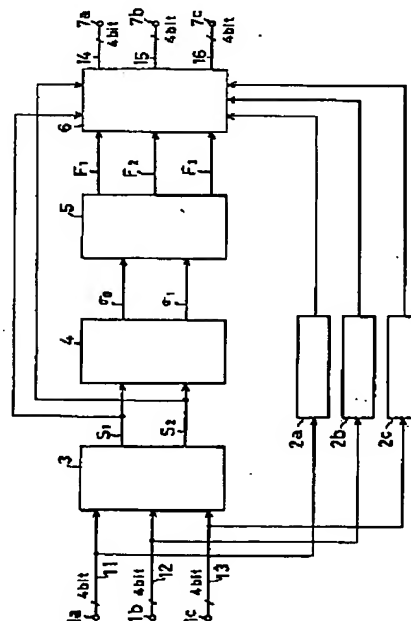
(54) 【発明の名称】 誤り訂正復号装置

(57) 【要約】

【目的】 BCH符号、リード・ソロモン符号などのブロック符号の高速な誤り訂正復号装置を実現する。

【構成】 シンドローム計算回路における繰返し積和回路と誤り位置検出回路における代入回路のみを p 個並列に持つことにより、p シンボルの受信信号を並列に入出力できるようにする。

【効果】 回路規模や消費電力を p 倍にすることなく、従来の p 倍の処理速度で復号を行うことが可能になる。



1

【特許請求の範囲】

【請求項1】ガロア体 $GF(2^m)$ (m は正整数)の元をシンボルとする (n, k) 誤り訂正復号装置であって、並列に p シンボル (p は2以上の整数)の受信信号を入力する p 個の入力端子と、前記受信信号を遅延させる遅延回路と、前記 p 個の入力端子から入力される受信信号をそれぞれ入力し、ガロア体 $GF(2^r)$ (r は正整数)の元を出力する p 個の部分シンドローム計算回路と、前記部分シンドローム計算回路の p 個の出力を加算する加算回路と、前記加算回路の出力から誤り位置を検出し、前記遅延回路から出力される受信信号の誤りを訂正する誤り位置検出訂正回路と、並列に p シンボルの復号結果を出力する p 個の出力端子とを有することを特徴とする誤り訂正復号装置。

【請求項2】受信語が

$R_{n-1}x^{n-1} + R_{n-2}x^{n-2} + \dots + R_1x^1 + R_0x^0$
で多項式表現される受信信号 $\{R_{n-1}, R_{n-2}, \dots, R_1, R_0\}$ のうち、

$$\{R_i \mid i \bmod p = 0\},$$

$$\{R_i \mid i \bmod p = 1\},$$

...

$$\{R_i \mid i \bmod p = p-1\}$$

をそれぞれの入力とする p 個の入力端子と、各入力端子から入力される受信信号を繰り返し積和演算し、ガロア体 $GF(2^r)$ (r は正整数)の元を出力する p 個の部分シンドローム計算回路とを有することを特徴とする請求項1記載の誤り訂正復号装置。

【請求項3】受信語が

$R_{n-1}x^{n-1} + R_{n-2}x^{n-2} + \dots + R_1x^1 + R_0x^0$
で多項式表現される受信信号 $\{R_{n-1}, R_{n-2}, \dots, R_1, R_0\}$ のうち、

$$\{R_i \mid 0 \leq i \leq L-1\},$$

$$\{R_i \mid L \leq i \leq 2L-1\},$$

...

$$\{R_i \mid (p-1)L \leq i \leq n-1\}$$

をそれぞれの入力とする p 個の入力端子と、各入力端子から入力される受信信号を繰り返し積和演算し、ガロア体 $GF(2^r)$ (r は正整数)の元を出力する p 個の部分シンドローム計算回路とを有することを特徴とする請求項1記載の誤り訂正復号装置。

【請求項4】ガロア体 $GF(2^m)$ (m は正整数)の元をシンボルとする (n, k) 誤り訂正復号装置であって、並列に p シンボル (p は2以上の整数)の受信信号を入力する入力端子と、前記受信信号を遅延させる遅延回路と、前記受信信号から誤り位置多項式の係数を計算する誤り位置多項式計算回路と、前記誤り位置多項式の係数を p 個の並列な誤り位置検出回路に供給する分岐回路と、前記誤り位置多項式に各々異なるガロア体 $GF(2^r)$ (r は正整数)の元を代入し、誤り位置を検出する p 個の誤り位置検出回路と、前記遅延回路から出力

2

される受信信号に対して前記 p 個の誤り位置検出回路で検出された位置の誤りを訂正する誤り訂正回路と、並列に p シンボルの復号結果を出力する p 個の出力端子とを有することを特徴とする誤り訂正復号装置。

【請求項5】請求項1の誤り訂正復号装置における誤り位置検出訂正回路が、加算回路の出力から誤り位置多項式の係数を計算する回路と、前記誤り位置多項式の係数を p 個の並列な誤り位置検出回路に供給する分岐回路と、 p 個の入力端子の各々から入力される受信信号の位置に対応する p 個の異なるガロア体 $GF(2^r)$ (r は正整数)の元を、それぞれ、前記誤り位置多項式に代入し、誤り位置を検出する p 個の誤り位置検出回路と、前記 p 個の誤り位置検出回路で検出された位置の誤りを訂正する誤り訂正回路とにより構成されることを特徴とする請求項1の誤り訂正復号装置。

【請求項6】 p 個 (p は2以上の整数)の誤り訂正符号を並列に復号する誤り訂正復号装置であって、 p シンボルの受信信号を並列に入力する入力端子と、前記受信信号を遅延させる遅延回路と、前記受信信号を入力し p 組のシンドロームを出力する p 個のシンドローム計算回路と、前記 p 組のシンドロームを入力し時分割で各シンドロームに対する誤り位置多項式を計算する誤り位置多項式計算回路とを有することを特徴とする誤り訂正復号装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、誤り訂正符号の復号装置、とくにBCH符号やリード・ソロモン符号などのブロック符号の復号装置に関する。

【0002】

【従来の技術】一般に、BCH符号やリード・ソロモン符号等のブロック符号の復号を行なう復号器は、受信信号を入力する入力端子、受信信号をおよそ n クロック遅延させる遅延回路、シンドロームを計算するシンドローム計算回路、誤り位置多項式を計算する誤り位置多項式計算回路、誤り位置を検出する誤り位置検出回路(チエンサーチ回路)、誤りを訂正する誤り訂正回路等の要素回路から構成される。

【0003】例えば、 $GF(2^m)$ の元をシンボルとするリード・ソロモン符号の復号器は、図8のように構成される。ここで101は入力端子、102は遅延回路、103はシンドローム計算回路、104は誤り位置多項式計算回路、105は誤り位置検出回路、106は誤り訂正回路、107は出力端子である。

【0004】ここで復号器を構成する要素回路では $GF(2^m)$ 上の演算を行うためには、すべての入力データは m (m は整数)ビット単位に処理しなければならない。このため復号器を構成する要素回路をクロック周波数 R (Hz)のLSIで構成した場合、復号器の動作速度は $m \cdot R$ (bps)となる。例えば、 $GF(2^8)$ 上

のリード・ソロモン符号の復号器を20MHzのクロック周波数のLSIで構成した場合、160M(bps)の復号器を構成することができる。

【0005】しかし図8のような復号器の動作速度は $m \cdot R$ (bps)で制限され、高速動作を行なうためには、高いクロック周波数で動作可能な要素回路を用いる必要がある。例えば、ECL(エミッタカップルドロジック)やGaAs等の化合物半導体を用いた回路は、CMOSで構成した回路に比べてクロック周波数を数倍程度高くすることができるものの、このような高速動作可能な回路はCMOSで構成した回路と比較して消費電力が増大するという問題点がある。

【0006】また複数の復号器を並列に設けて、入力信号をシリアル/パラレル変換して並列処理を行なうことにより高速化を図ることも考えられるが、複数の復号器を並列に用いた場合には消費電力が増大するだけでなく、復号器の要素回路の占有面積が増大し、小型化に適さないという問題点がある。

【0007】この他、特開昭62-260431号の「シンドローム計算装置」では、シンドロームを2つの部分にわけて計算し、最後にこれらを加算して真のシンドロームを得ることにより2倍の高速化を図っているが、これは誤り訂正装置の一部を高速化できるのみで誤り訂正装置全体の高速化できるものではない。

【0008】また、2元符号の高速化手法は幾つか提案されている(例えば、1991年電子情報通信学会春季全国大会、A-283「高速BCH-LSIの開発」、または電子情報通信学会、技術研究報告CS89-54、「代数的誤り訂正符号の並列復号法」)。しかしながら、これらの手法をリード・ソロモン符号などの多元符号へ適用するのは難しい。

【0009】

【発明が解決しようとする課題】以上述べたように、従来の誤り訂正復号装置を高伝送速度のシステムに適用する場合、要素回路を高速化すると消費電力が増大するという問題点があり、また複数の復号器を並列処理する構成にすると、消費電力、回路規模が増大するという問題等があった。

【0010】本発明は上記の問題点に鑑みてなされたものであり、低消費電力・小回路規模で、処理を p 倍(p は2以上の任意の整数)にし、多元符号にも容易に適用可能な誤り訂正復号装置を提供することを目的としている。

【0011】

【課題を解決するための手段】本発明の第1の誤り訂正装置は、並列に p シンボル(p は2以上の整数)の受信信号を入力する p 個の入力端子と、前記受信信号を遅延させる遅延回路と、前記 p 個の入力端子から入力される受信信号をそれぞれ入力し、ガロア体 $GF(2^r)$ (r は正整数)の元を出力する p 個の部分シンドローム計算

回路と、前記部分シンドローム計算回路の p 個の出力を加算する加算回路と、前記加算回路の出力から誤り位置を検出し、前記遅延回路から出力される受信信号の誤りを訂正する誤り位置検出訂正回路と、並列に p シンボルの復号結果を出力する p 個の出力端子とを有する。

【0012】本発明の第2の誤り訂正復号装置は、並列に p シンボル(p は2以上の整数)の受信信号を入力する入力端子と、前記受信信号を遅延させる遅延回路と、前記受信信号から誤り位置多項式の係数を計算する誤り位置多項式計算回路と、前記誤り位置多項式の係数を p 個の並列な誤り位置検出回路に供給する分岐回路と、前記誤り位置多項式に各々異なるガロア体 $GF(2^r)$

(r は正整数)の元を代入し、誤り位置を検出する p 個の誤り位置検出回路と、前記遅延回路から出力される受信信号に対して前記 p 個の誤り位置検出回路で検出された位置の誤りを訂正する誤り訂正回路と、並列に p シンボルの復号結果を出力する p 個の出力端子とを有する。

【0013】本発明の第3の誤り訂正復号装置は、 p 個(p は2以上の整数)の誤り訂正符号を並列に復号する誤り訂正装置であって、 p シンボルの受信信号を並列に入力する入力端子と、前記受信信号を遅延させる遅延回路と、前記受信信号を入力し p 組のシンドロームを出力する p 個のシンドローム計算回路と、前記 p 組のシンドロームを入力し時分割で各シンドロームに対する誤り位置多項式を計算する誤り位置多項式計算回路とを有する。

【0014】

【作用】本発明の誤り訂正復号装置によれば、 p シンボル(p は2以上の任意の整数)の信号を並列に入出力するため、従来の p 倍の処理速度の復号装置を実現することができる。本発明の誤り訂正復号装置で、回路規模が従来の p 倍となる部分は、シンドローム計算部と誤り位置検出部のみであり、その他の部分の回路規模は従来の復号装置とほとんど変わらないため、回路規模と消費電力の増加は小さい。

【0015】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1は本発明に係る誤り訂正復号装置の第1の実施例を示す。この図1に示す誤り訂正復号装置の構成例は、生成多項式が、

$$G(x) = (x - \alpha)(x - \alpha^2) \quad (\text{但し、}\alpha : GF(2^r) \text{の原始元})$$

で与えられる $GF(2^r)$ 上の位置誤り訂正リード・ソロモン(15, 13)符号の復号器である。ここで1a、1b、1cは入力端子、2a、2b、2cは遅延回路、3はシンドローム計算回路、4は誤り訂正多項式計算回路、5は誤り位置検出回路、6は誤り訂正回路、7a、7b、7cは出力端子である。またこの復号器は、従来の復号器の3倍($p=3$)の処理速度で復号を行うことができる。また15シンボルの受信信号を $\{R_i, i=1, \dots, 15\}$

5

R_{13}, \dots, R_1, R_0 で表現するものとする。

【0016】図1において、入力端子1a, 1b, 1cからは、それぞれ、

受信信号11 { $R_{14}, R_{11}, R_8, R_5, R_2$ }

受信信号12 { $R_{13}, R_{10}, R_7, R_4, R_1$ }

受信信号13 { $R_{12}, R_9, R_6, R_3, R_0$ }

が順次入力される。ここで、各受信信号はGF(2⁴)の元であり、1シンボルが、例えば4ビットで表現される。

【0017】入力端子1a, 1b, 1cから入力される 10
受信信号11, 12, 13は、それぞれ遅延回路2a, 2b, 2cへ供給されるとともに、シンドローム計算回路3へ供給される。遅延回路2a, 2b, 2cでは、各受信信号を一定時間だけ遅延して出力する。 *

$$S_1^{(1)} = \alpha^2 \{ R_2 + \alpha^3 (R_6 + \alpha^3 (R_8 + \alpha^3 (R_{11} + \alpha^3 R_{14})) \}$$

$$S_1^{(2)} = \alpha \{ R_1 + \alpha^3 (R_4 + \alpha^3 (R_7 + \alpha^3 (R_{10} + \alpha^3 R_{13})) \}$$

$$S_1^{(3)} = R_0 + \alpha^3 (R_3 + \alpha^3 (R_6 + \alpha^3 (R_9 + \alpha^3 R_{12})) \}$$

となる。この結果、 $S_1^{(1)}$ と $S_1^{(2)}$ と $S_1^{(3)}$ を加算することにより、シンドローム S_1 は

$$S_1 = R_0 + \alpha (R_1 + \alpha (R_2 + \dots + \alpha (R_{13} + \alpha R_{14})) \} \quad 20$$

のように求められることがわかる。同様に、繰返し積和計算回路24, 25, 26の演算結果 $S_2^{(1)}$ と $S_2^{(2)}$ と $S_2^{(3)}$ を加算することにより、シンドローム S_2

$$S_2 = R_0 + \alpha^2 (R_1 + \alpha^2 (R_2 + \dots + \alpha^2 (R_{13} + \alpha^2 R_{14})) \}$$

が計算される。ここで、シンドローム S_1, S_2 はGF(2⁴)の元である。

【0020】シンドローム計算回路3の出力 S_1, S_2 30
は、誤り位置多項式計算回路4に渡され、誤り位置多項式 $\sigma(x) = \sigma_1 x + \sigma_0$ の係数 σ_1, σ_0 が計算される。位置誤りが生じている場合、 σ_1, σ_0 は、
 $\sigma_1 = 1$
 $\sigma_0 = S_1 / S_0$
で計算される。

【0021】誤り位置多項式の係数 σ_1, σ_0 は、図1の誤り位置検出回路5に供給される。ここで、誤りの生じている位置を L ($0 \leq L \leq 14$) とすると、誤り位置多項式は、

$$\sigma(x) = x + \alpha^L$$

に等しいため、 $\sigma(x)$ にGF(2⁴)の元

$$\{\alpha^{14}, \alpha^{13}, \dots, \alpha^2, \alpha^1, \alpha^0\}$$

を順次代入していけば、誤り位置 L を検出することができる。誤り位置検出回路5は、例えば、図3のようにして構成される。

【0022】図3において、31~33は代入回路、34~36は零検出回路である。ここで代入回路31は、 $\sigma(x)$ に

$$\{\alpha^{14}, \alpha^{11}, \alpha^8, \alpha^5, \alpha^2\}$$

6

*【0018】シンドローム計算回路3では、入力される受信信号11, 12, 13から、シンドローム S_1, S_2 を計算する。シンドローム計算回路は、例えば、図2のように構成される。

【0019】ここで図2において、21~26は繰返し積和演算回路である。また回路Dは遅延機能を有する回路であり、例えば4ビットをラッチする回路であり、例えば4個のDフリップフロップで構成される。受信信号11は繰返し積和計算回路21と24に、受信信号12は繰返し積和計算回路22と25に、受信信号13は繰返し積和計算回路23と26に入力される。繰返し積和計算回路21, 22, 23の演算結果は、それぞれ、

を順次代入し、式の値を出力する回路である。式の値が零となるとき、その位置の受信信号に誤りが生じていると判定することができる。このため、零検出回路34では、代入回路31の出力が0であるか否か判定し、零か否かを示すフラグ信号F1を出力する。また、代入回路32, 33では、それぞれ、 $\sigma(x)$ に

$$\{\alpha^{13}, \alpha^{10}, \alpha^7, \alpha^4, \alpha^1\}$$

$$\{\alpha^{12}, \alpha^9, \alpha^6, \alpha^3, \alpha^0\}$$

を順次代入し、式の値を出力する回路である。これらの式の値は、零検出回路35, 36に入力され、0であるか否かを示すフラグ信号F2, F3がそれぞれ出力される。

【0023】図1に示す誤り位置検出回路5の判定結果は誤り訂正回路6に供給され、遅延回路2a, 2b, 2cから出力される受信信号の誤りが訂正される。ここで、誤りの大きさ e は、

$$e = S_1^2 / S_2$$

で求められる。なぜなら、シンドローム S_1, S_2 は、

$$S_1 = e \alpha^L$$

$$S_2 = e \alpha^{2L}$$

となっているからである。

【0024】そして誤り訂正された受信信号は、並列に3シンボルずつ出力端子7a, 7b, 7cから出力される。このような構成の図1の誤り訂正復号装置は、受信信号3シンボルを並列に復号することができるため、従来の復号器と比較して3倍の処理速度で復号を行うことができる。例えば、 $m=4$ ビット単位で処理を行ない、クロック周波数20MHzのLSIで構成した場合、従来の誤り訂正復号装置であれば処理速度が80Mbpsであったのに対し、図1の場合には240Mbpsとなる。

【0025】そして、図1の誤り訂正復号装置は従来の復号復号より若干大きい回路規模となるが、単に復号器

を並列に設けるものと比較して、3倍の回路規模になるものではない点で有利である。なぜならば、従来に比べて回路規模がほぼ3倍になる部分は、シンドローム計算回路3と誤り位置検出回路5のみであり、その他の部分は、従来の復号装置とほぼ同じ回路規模ですむからである。多重化が必要な回路が全体の回路に対して占める割合は、訂正能力が大きい符号の復号器ほど小さい。この結果、訂正能力が高い符号ほど消費電力や回路規模の増加を小さく押さえられることがわかる。

【0026】また図1におけるシンドローム計算回路3 10は、図4のように構成することもできる。この場合には、図1の入力端子1a、1b、1cからは、それぞれ

$$S_1^{(1)} = \alpha^{10} \{ R_{10} + \alpha (R_{11} + \alpha (R_{12} + \alpha (R_{13} + \alpha R_{14})) \}$$

$$S_1^{(2)} = \alpha^5 \{ R_5 + \alpha (R_6 + \alpha (R_7 + \alpha (R_8 + \alpha R_9)) \}$$

$$S_1^{(3)} = R_0 + \alpha (R_1 + \alpha (R_2 + \alpha (R_3 + \alpha R_4))$$

となる。この結果、 $S_1^{(1)}$ と $S_1^{(2)}$ と $S_1^{(3)}$ を加算することにより、シンドローム S_1

$$S_1 = R_0 + \alpha (R_1 + \alpha (R_2 + \dots + \alpha (R_{13} + \alpha R_{14}))$$

が求められることがわかる。同様に、繰り返し積和計算回路44、45、46の演算結果 $S_2^{(1)}$ と $S_2^{(2)}$ と $S_2^{(3)}$ を加算することにより、シンドローム S_2

$$S_2 = R_0 + \alpha^2 (R_1 + \alpha^2 (R_2 + \dots + \alpha^2 (R_{13} + \alpha^2 R_{14}))$$

が計算される。

【0028】また、図1における受信信号11、12、13を

受信信号11 { $R_{14}, R_{13}, R_{12}, R_{11}, R_{10}$ }

受信信号12 { R_9, R_8, R_7, R_6, R_5 }

受信信号13 { R_4, R_3, R_2, R_1, R_0 }

とする場合の誤り位置検出回路5は、図5のように構成される。ここで51~53は代入回路、54~56は零検出回路である。ここで図5の誤り位置検出回路には、誤り位置多項式の係数 σ_1, σ_0 が入力される。図5において、代入回路51、52、53は、それぞれ、 $\sigma(x)$ に

$$\{\alpha^{14}, \alpha^{13}, \alpha^{12}, \alpha^{11}, \alpha^{10}\}$$

$$\{\alpha^9, \alpha^8, \alpha^7, \alpha^6, \alpha^5\}$$

$$\{\alpha^4, \alpha^3, \alpha^2, \alpha^1, \alpha^0\}$$

を順次代入し、式の値を出力する回路である。これらの式の値は、零検出回路54、55、56に入力され、零であるか否かを示すフラグ信号F1、F2、F3がそれぞれ出力される。

【0029】図6は本発明に係る誤り訂正復号装置の第2の実施例を示す。図6は、GF(2^m)上のリード・ソロモン(n, k)符号の復号器である。ここで61は入力端子、62は遅延回路、63はシンドローム計算回路、64は誤り位置多項式計算回路、65は誤り位置検出回路、66は誤り訂正回路、67は出力端子である。

【0030】図1において入力される受信信号{ R_{n-1} 50

それ、

受信信号11 { $R_{14}, R_{13}, R_{12}, R_{11}, R_{10}$ }

受信信号12 { R_9, R_8, R_7, R_6, R_5 }

受信信号13 { R_4, R_3, R_2, R_1, R_0 }

が順次入力される。

【0027】ここで図4のシンドローム計算回路において、受信信号11は繰り返し積和計算回路41と44に、受信信号12は繰り返し積和計算回路42と45に、受信信号13は繰り返し積和計算回路43と46に

入力される。繰り返し積和計算回路41、42、43の演算結果は、それぞれ、

$$S_1^{(1)} = \alpha^{10} \{ R_{10} + \alpha (R_{11} + \alpha (R_{12} + \alpha (R_{13} + \alpha R_{14})) \}$$

$$S_1^{(2)} = \alpha^5 \{ R_5 + \alpha (R_6 + \alpha (R_7 + \alpha (R_8 + \alpha R_9)) \}$$

$$S_1^{(3)} = R_0 + \alpha (R_1 + \alpha (R_2 + \alpha (R_3 + \alpha R_4))$$

, R_{n-2}, \dots, R_1, R_0 }は、

$$\{R_i \mid i \bmod p = 0\},$$

$$\{R_i \mid i \bmod p = 1\},$$

...

$$\{R_i \mid i \bmod p = p-1\}$$

のp個の集合に分けられて、それぞれp個の入力端子から入力される。p個の入力端子から入力される受信信号は、それぞれ、p個の遅延回路へ供給される。各遅延回路では、受信信号をおよそn/pクロックほど遅延して出力する。シンドローム計算回路は、図2のシンドローム計算回路(p=3の構成例)と同様に、1つのシンドローム計算につき、p個の繰り返し積和計算回路と1つの加算回路とにより構成される。また、誤り位置検出回路は、図3の誤り位置検出回路(p=3の構成例)と同様に、p個の代入回路とp個の零検出回路からなる。

【0031】図6に示す構成の誤り訂正復号装置は、受信信号pシンボルを並列に復号することができるため、従来の復号器のp倍の速度で処理を行うことができる。例えば、m=8、p=8とし、クロック周波数20MHzのLSIで構成した場合、従来の誤り訂正復号装置であれば処理速度が160Mbpsであったのに対し、図6の場合には1.28Gbpsとなる。また、回路は、従来の復号器のp倍以下の回路規模で構成することができる。これは、並列にp個多重する必要がある回路が、シンドローム計算回路と誤り位置検出回路のみであることによる。

【0032】図7は本発明に係る誤り訂正復号装置の第3の実施例を示す。図7の誤り訂正復号装置は、2つのGF(2^m)上のリード・ソロモン(n, k)符号の復号を同時に行う復号器であり、その誤り位置多項式計算回路を共有化している。ここで71a、71bは入力端子、72a、72b、73cは遅延回路、73a、73bはシンドローム計算回路、74は誤り位置多項式計算回路、75a、75bは誤り位置検出回路、76a、76bは誤り訂正回路、77a、77bは出力端子であ

る。

【0033】この実施例において、誤り訂正復号装置に受信信号が連続して入力される場合、シンドローム計算回路、誤り位置検出回路、遅延回路、誤り訂正回路は、常時なんらかの処理を行っている。これに対して、誤り位置多項式計算回路は一時的にしか処理を行わないため、この部分を時分割多重使用することができる。

【0034】この結果、従来の復号器（単一の符号を復号する復号器）の2倍より小さい回路規模で、処理速度を2倍にすることが可能になる。特に誤り訂正能力の高い符号は、誤り位置多項式計算回路の全体の回路に占める割合が非常に大きく、多重化による回路規模の低減効果が大きい。

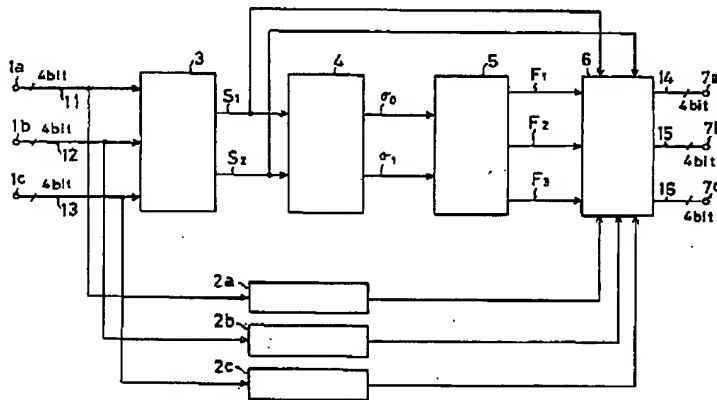
【0035】

【発明の効果】本発明の誤り訂正復号装置によれば、回路規模や消費電力をp倍にすることなく、従来のp倍の処理速度で誤り訂正復号を行うことが可能になる。

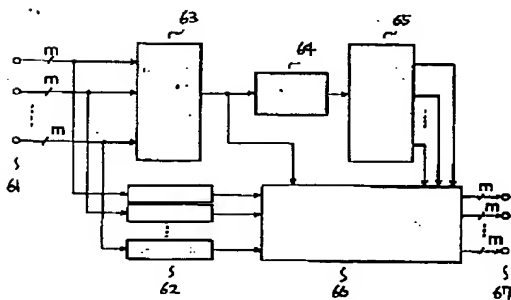
【図面の簡単な説明】

【図1】 本発明に係る誤り訂正装置の第1の実施例、

【図1】



【図6】



【図2】 第1の実施例におけるシンドローム計算回路、

【図3】 第1の実施例における誤り位置検出回路、

【図4】 第1の実施例における別のシンドローム計算回路、

【図5】 第1の実施例における別の誤り位置検出回路、

【図6】 本発明に係る誤り訂正装置の第2の実施例、

【図7】 本発明に係る誤り訂正装置の第3の実施例、

【図8】 従来の誤り訂正復号装置

【符号の説明】

1 a、1 b、1 c …入力端子。

2 a、2 b、2 c …遅延回路。

3 …シンドローム計算回路。

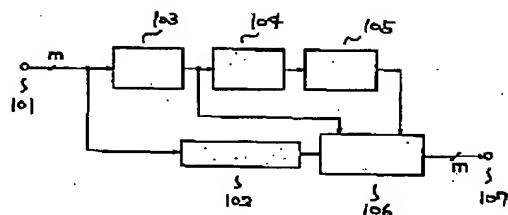
4 …誤り訂正多項式計算回路。

5 …誤り位置検出回路。

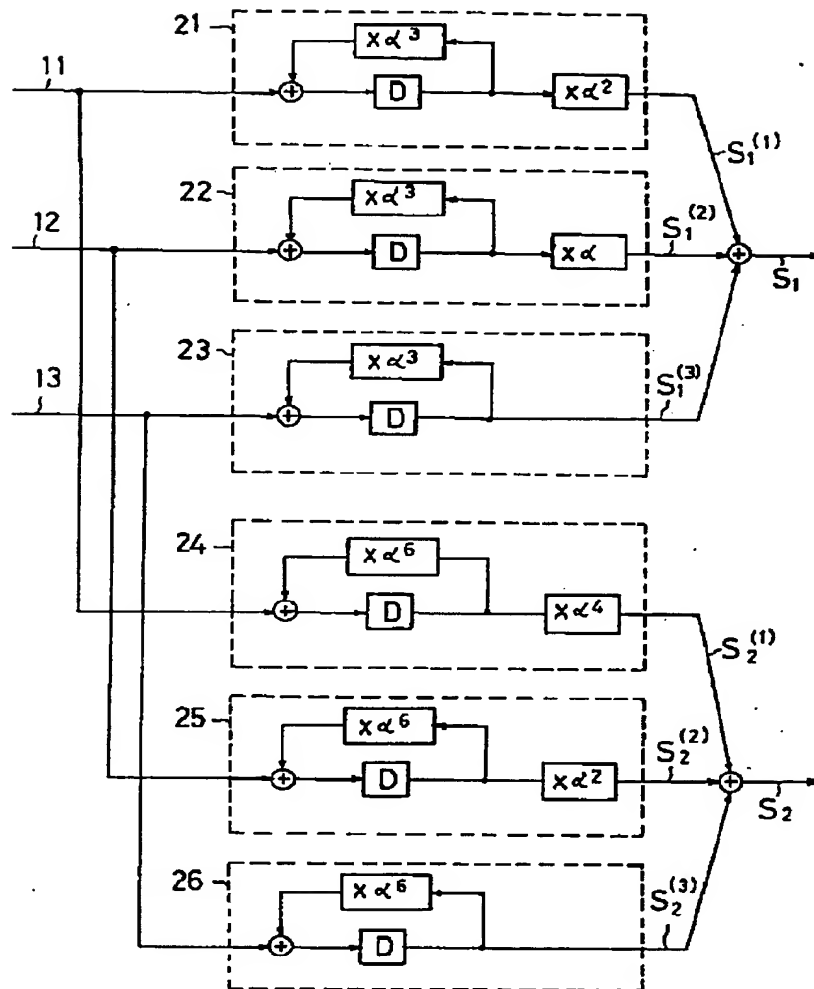
6 …誤り訂正回路。

7 a、7 b、7 c …出力端子。

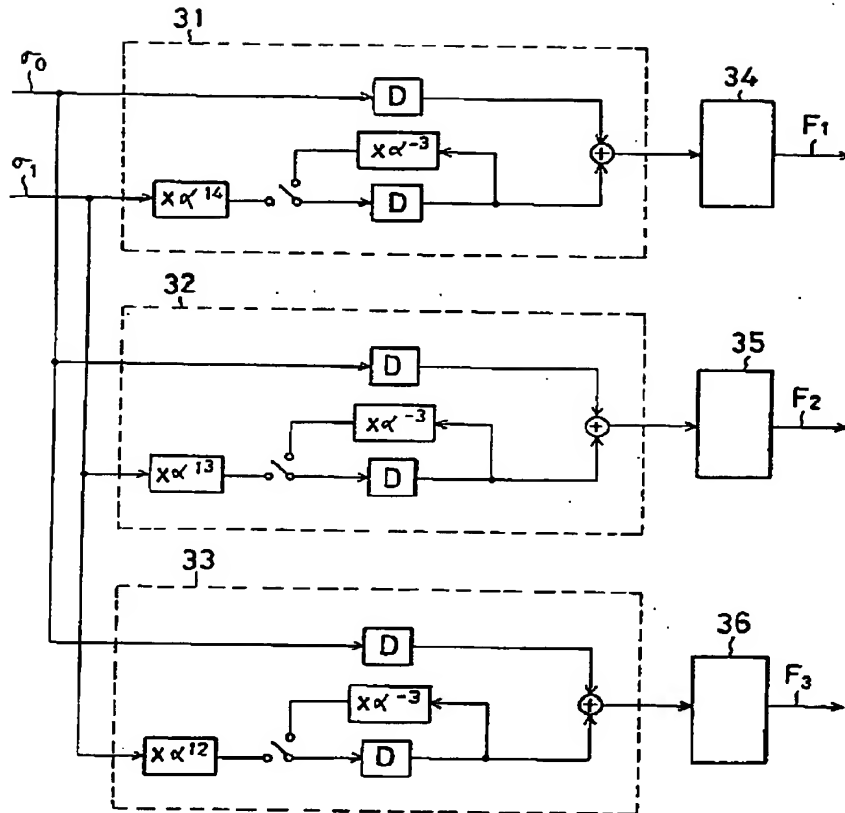
【図8】



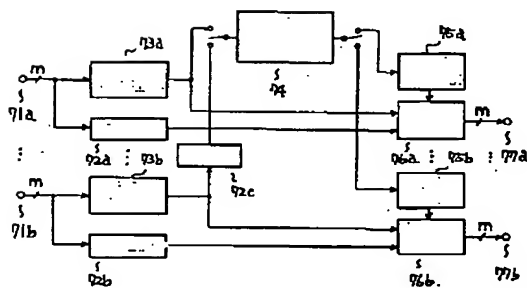
【図2】



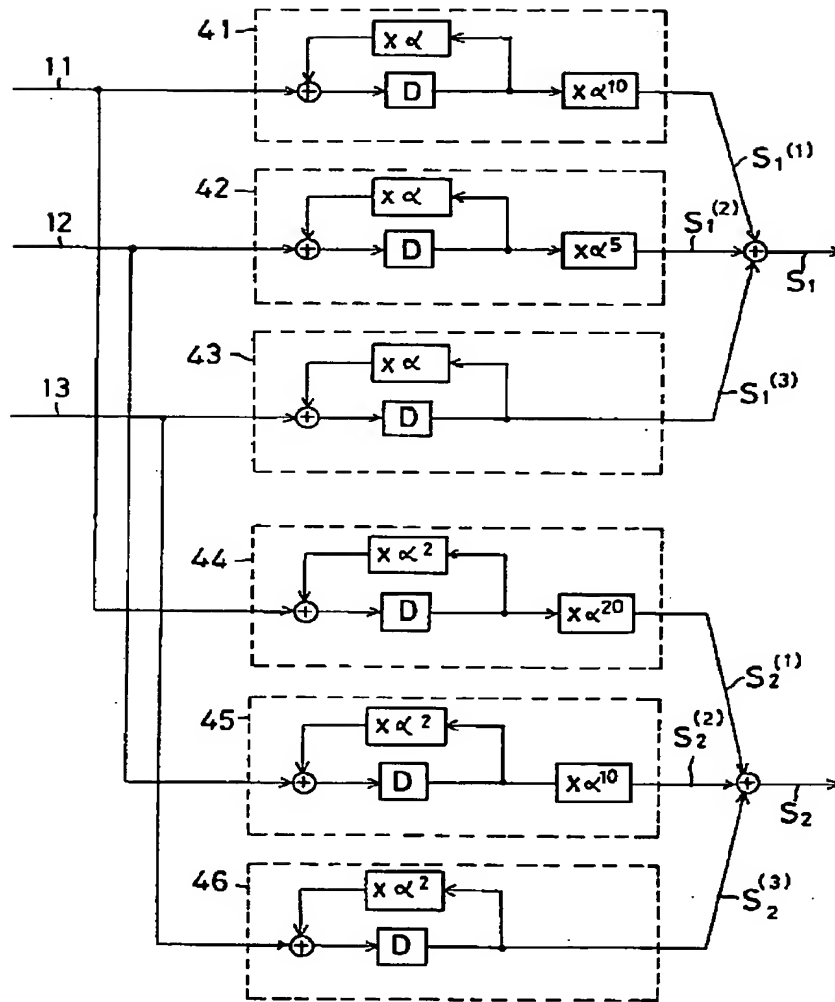
【図3】



【図7】



【図4】



【図5】

